

Използвани източници

- ❑ Лекции на д-р Фогелман, Университет – Карлсруе
- ❑ Лекции на д-р Клос, Университет – Карлсруе
- ❑ Лекции на д-р Крокол, Университет – Карлсруе
- ❑ Halbleiter Schaltungstechnik, Tietze u., Schenk Th.
- ❑ <http://www.elektronik-kompendium.de/sites>
- ❑ http://www.eelab.usyd.edu.au/digital_tutorial/part2/hpage.html

Използвани означения

- ❑ Тема, която се среща за първи път
- ❑ **Тема, която вече е позната**

Логика

- ❑ **Основни логически функции и закони**
- ❑ Реализиране на логически елементи
- ❑ Комбинационна логика
- ❑ Превключваща логика

Логика

Цел разглеждането:

- ❑ да може да отговаряте на тези или подобни въпроси:
 - Как могат да бъдат представяни числата?
 - Кои са основните логически функции?
 - Какви тригери познавате и как функционират?
 - Какви тригери се използват при броячите и регистрите?
 - За какво се използват компараторите?

Логическо състояние – bit (разред)

Логическо състояние					Напрежения
1	да	вкл.	High	вярно	2,5...5 V
0	не	изкл.	Low	falsch	0...0,4 V

Комбинации (състояния)

□ С n бита може да се представят 2^n състояния

□ Z = 2

n	Z
8	256
16	65.536
24	16,7 Mio
32	4.294 Mio

Bit 1	Bit 2	Състояние
0	0	0
0	1	1
1	0	2
1	1	3

Пример с n=2

Представяне на комбинации

□ Двоично представяне (binary, основа 2)

$$Z_n = 2^n \cdot b_n + 2^{n-1} \cdot b_{n-1} + \dots + 2^1 \cdot b_1 + 2^0 \cdot b_0 + 2^0 \cdot b_0$$

$$Z_n = \dots + 16 \cdot b_4 + 8 \cdot b_3 + 4 \cdot b_2 + 2 \cdot b_1 + 1 \cdot b_0 = \sum_{i=0}^n 2^i \cdot b_i$$

$$Z_n = b_n b_{n-1} b_{n-2} \dots b_1 b_0 \text{ mit } b_i = \{0,1\}$$

□ Шестнадесетично представяне (Hex, основа 16)

$$Z_n = h_n \cdot 16^n + \dots + h_3 \cdot 16^3 + h_2 \cdot 16^2 + h_1 \cdot 16^1 + h_0 \cdot 16^0 = \sum_{i=0}^n 16^i \cdot h_i$$

$$Z_n = h_n h_{n-1} h_{n-2} \dots h_1 h_0 \text{ mit } h_i = \{0,1,2,3,4,5,6,7,8,9,A,B,C,D,E,F\}$$

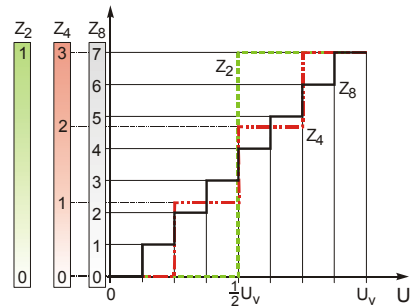
➤ Пример: $125_{(10)} = 0b01111101 = 0x7D = 7DH$

Двоична и шестнадесетична система

Decimal	Binary	Hex
0	00000	0
1	00001	1
2	00010	2
3	00011	3
4	00100	4
5	00101	5
6	00110	6
7	00111	7
8	01000	8
9	01001	9

Decimal	Binary	Hex
10	01010	A
11	01011	B
12	01100	C
13	01101	D
14	01110	E
15	01111	F
16	10000	10
17	10001	11
18	10010	12
19	10011	13

Представяне на аналогово напрежение



Кодиране

□ Двоичните числа дават възможност за представяне на естествените числа: 0,1,2... . Представянето на не цели числа или дробни числа изискват кодиране, което трябва да бъде избрано и напасвано в зависимост от задачите.

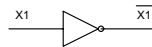
□ BCD-код (двоично кодирана десетична система)

	Хиляди	Стотици	Десетици	Единици
Десетично число	3	9	6	1
BCD число	0011	1001	0110	0001

➤ В BCD код цифрите на едно десетично число се кодират като двоично число

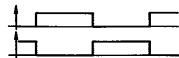
Отрицание - “НЕ” (NOT)

$$f1(x1) = \overline{x1}$$



Символно означение

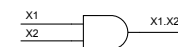
Nº	x1	f1(x1)
0	0	1
1	1	0



Времева функция

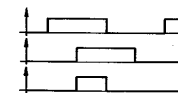
Конюнкция – “И” (AND)

$$f2(x1, x2) = x1 \cdot x2$$



Символно означение

Nº	x1	x2	f2(x1,x2)
0	0	0	0
1	0	1	0
2	1	0	0
3	1	1	1



Времева функция

NAND

$$f_3(x_1, x_2) = \overline{x_1 \cdot x_2}$$

Nº	x1	x2	f3(x1,x2)
0	0	0	1
1	0	1	1
2	1	0	1
3	1	1	0



Символно означение



Времева функция

Дизюнкция – “ИЛИ” (OR)

$$f_4(x_1, x_2) = x_1 + x_2$$

Nº	x1	x2	f4(x1,x2)
0	0	0	0
1	0	1	1
2	1	0	1
3	1	1	1



Символно означение

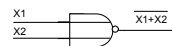


Времева функция

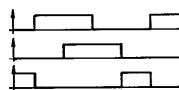
NOR

$$f_5(x_1, x_2) = \overline{x_1 + x_2}$$

Nº	x1	x2	f5(x1,x2)
0	0	0	1
1	0	1	0
2	1	0	0
3	1	1	0



Символно означение

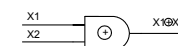


Времева функция

Нееднаквост (XOR)

$$f_6(x_1, x_2) = x_1 \oplus x_2$$

Nº	x1	x2	f6(x1,x2)
0	0	0	0
1	0	1	1
2	1	0	1
3	1	1	0



Символно означение

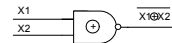


Времева функция

Еднаквост (XNOR)

$$f7(x1, x2) = \overline{x1 \oplus x2}$$

Nº	x1	x2	f7(x1,x2)
0	0	0	1
1	0	1	0
2	1	0	0
3	1	1	1



Символно означение



Времева функция

Закони на Булевата алгебра

Конюнкция

$$y = x_1 \wedge x_2 = x_1 \cdot x_2 = x_1 x_2$$

Дизюнкция

$$y = x_1 \vee x_2 = x_1 + x_2$$

Отрицание

$$y = \overline{x} = /x$$

Комутативен закон

$$x_1 x_2 = x_2 x_1$$

$$x_1 + x_2 = x_2 + x_1$$

Асоциативен закон

$$x_1 (x_2 x_3) = (x_1 x_2) x_3$$

$$x_1 + (x_2 + x_3) = (x_1 + x_2) + x_3$$

Дистрибутивен закон

$$x_1 (x_2 + x_3) = x_1 x_2 + x_1 x_3$$

$$x_1 + x_2 x_3 = (x_1 + x_2)(x_1 + x_3)$$

Закон за поглъщане

$$x_1 (x_1 + x_2) = x_1$$

$$x_1 + x_1 x_2 = x_1$$

Закон за повторение

$$xx = x$$

$$x + x = x$$

Закон на допълнението

$$x\overline{x} = 0$$

$$x + \overline{x} = 1$$

Закон за двойното отрицание

$$\overline{(\overline{x})} = x$$

Теорема на Де Морган

$$\overline{x_1 x_2} = \overline{x_1} + \overline{x_2}$$

$$\overline{x_1 + x_2} = \overline{x_1} \overline{x_2}$$

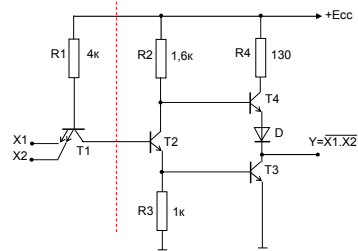
Логика

- Основни логически функции и закони
- Реализиране на логически елементи
- Комбинационна логика
- Превключваща логика

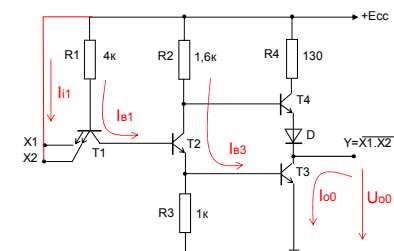
Реализация

	Наситена логика				Ненаситена логика
	CMOS Complementary MOS	HCMOS High Speed-CMOS	TTL Transistor-Transistor Logic	STTL Schottky-TTL	ECL Emitter-Coupled-Logic
U_{DD}	(5...15) V	5 V	5 V	5 V	5 V
On	11...14.8 V	4.9 V	3.6 V	3.5 V	-0.9 V
Off	0.2...4 V	0.1 V	0.5 V	0.5 V	-1.7 V
Скорост на превключване	35 ns	8 ns	10 ns	4 ns	1 ns
Консумирана мощност	10 nW	25 nW	10 mW	20 mW	25 mW

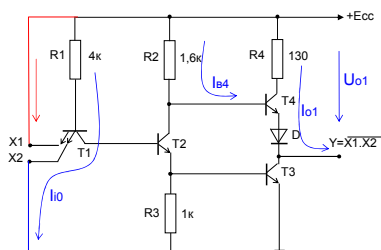
Реализация TTL



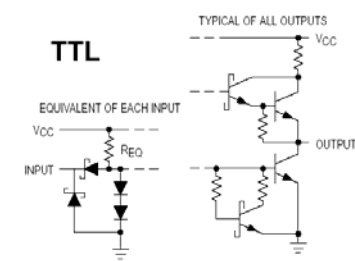
Реализация TTL



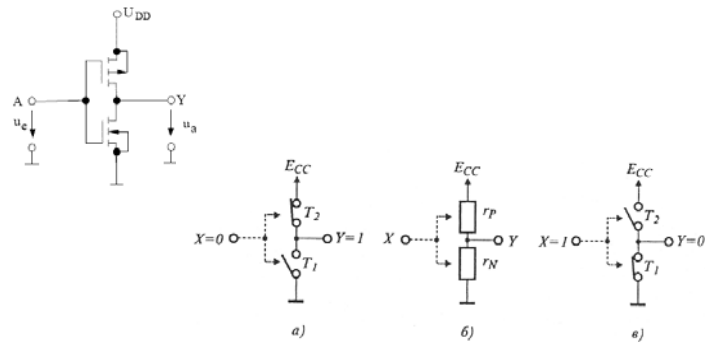
Реализация TTL



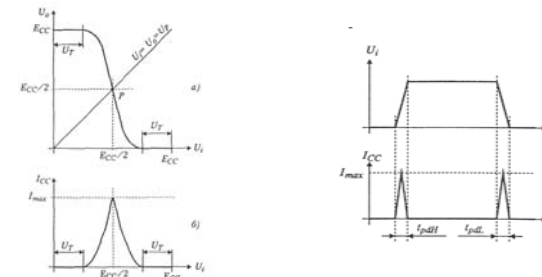
Реализация TTL



Реализация CMOS

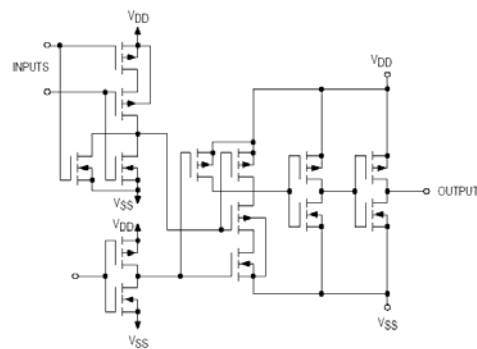


Реализация CMOS

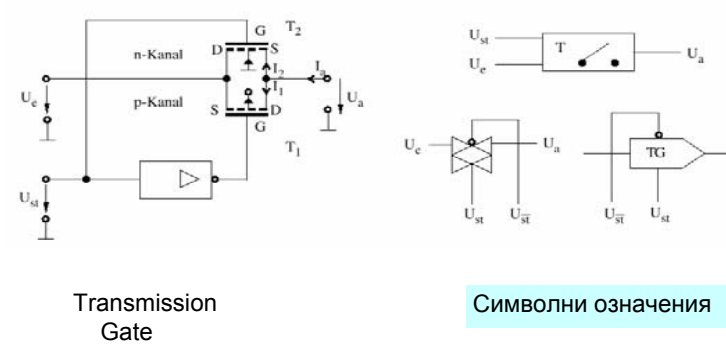


Реализация CMOS

CMOS



Реализация CMOS

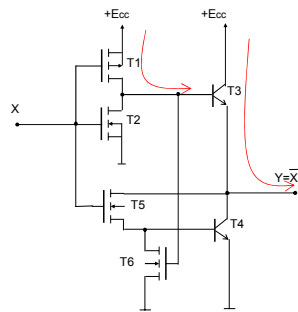


Transmission Gate

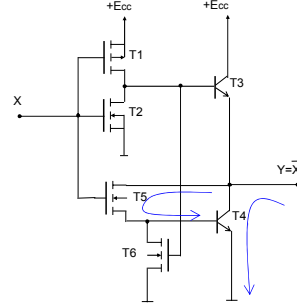
Символни означения

Реализация BiCMOS

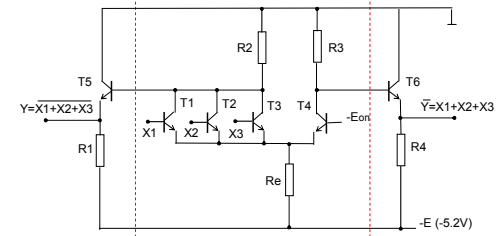
$X = 0$, T1, T3, T6 отпущени



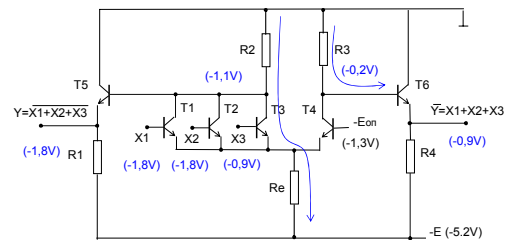
$X = 1$, T2, T5, T4 отпущени



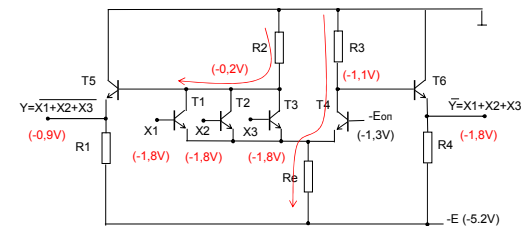
Реализация ECL



Реализация ECL



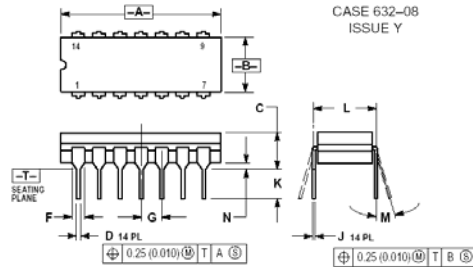
Реализация ECL



Реализация

14-Pin Packages

L, J SUFFIX
CERAMIC DIP PACKAGE
CASE 632-08
ISSUE Y



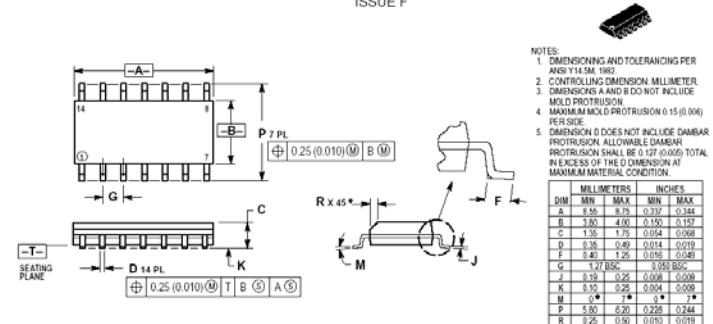
NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1993.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
4. DIMENSION F MAY NARROW TO 0.76 (0.030) WHERE THE LEAD ENTERS THE CERAMIC BODY.

DIM	MIN	MAX	MIN	MAX
A	0.780	0.785	19.05	19.94
B	0.245	0.250	6.23	7.11
C	0.150	0.200	3.94	5.08
D	0.015	0.020	0.39	0.50
E	0.050	0.055	1.27	1.40
F	0.100 BSC	2.54 BSC		
G	0.008	0.015	0.21	0.38
H	0.005	0.010	0.13	0.25
J	0.005	0.010	0.13	0.25
K	0.005	0.010	0.13	0.25
L	0.200 BSC	7.62 BSC		
M	0.150	0.155	3.81	3.93
N	0.020	0.040	0.51	1.01

Реализация

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751A-03
ISSUE F



NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1993.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION: 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

DIM	MIN	MAX	MIN	MAX
A	8.05	8.75	0.317	0.344
B	1.30	4.00	0.150	0.157
C	1.30	1.75	0.054	0.069
D	0.35	0.49	0.014	0.019
E	0.49	1.25	0.016	0.049
F	0.27 BSC	0.95 BSC		
G	0.19	0.25	0.008	0.008
H	0.19	0.25	0.008	0.008
J	0.19	0.25	0.008	0.008
K	0.19	0.25	0.008	0.008
L	0.19	0.25	0.008	0.008
M	0.19	0.25	0.008	0.008
N	0.19	0.25	0.008	0.008
P	5.00	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

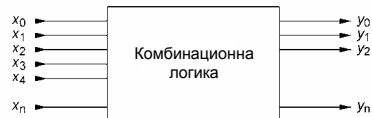
Логика

- ❑ Основни логически функции и закони
- ❑ Реализиране на логически елементи
- ❑ Комбинационна логика
- ❑ Превключваща логика

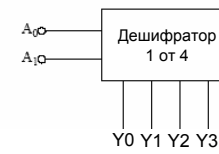
Комбинационна логика

- ❑ Комбинационните схеми не съдържат памет.
- ❑ Изходните променливи са еднозначно зависими само от входните променливи.
- ❑ Комбинационните схеми се описват с таблици на истинност или с булеви уравнения.
- ❑ Реализират се с логически елементи, ROM или програмируеми логически елементи (PLD).
- Примери: (де)шифратори, мултиплексори, компаратори, суматори.

Комбинационна логика

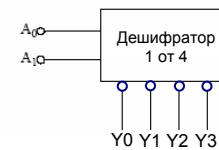


Дешифратор 1-от-n (Dekoder)



N°	A1	A0	Y0	Y1	Y2	Y3
0	0	0	1	0	0	0
1	0	1	0	1	0	0
2	1	0	0	0	1	0
3	1	1	0	0	0	1

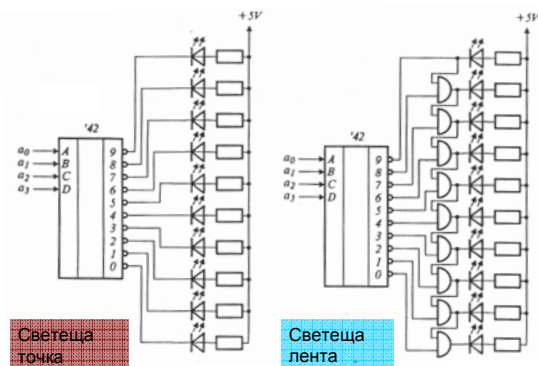
Управление
на LCD



N°	A1	A0	Y0	Y1	Y2	Y3
0	0	0	0	1	1	1
1	0	1	1	0	1	1
2	1	0	1	1	0	1
3	1	1	1	1	1	0

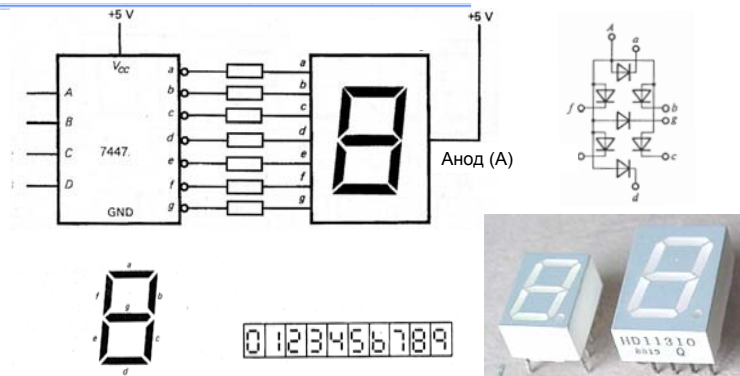
Управление
на LED

BСD дешифратор (Индикация)



Светеща
лента

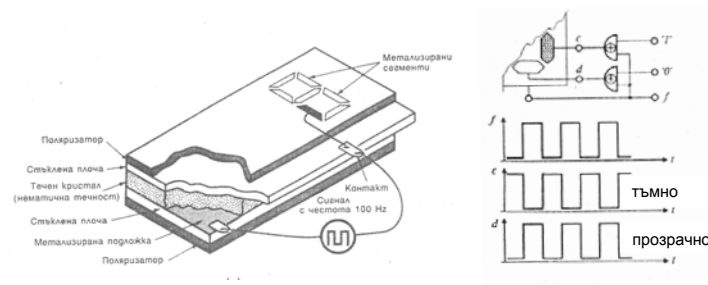
Седемсегментен дешифратор (Индикация)



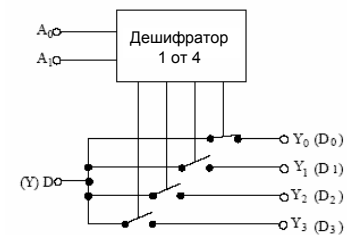
0 1 2 3 4 5 6 7 8 9



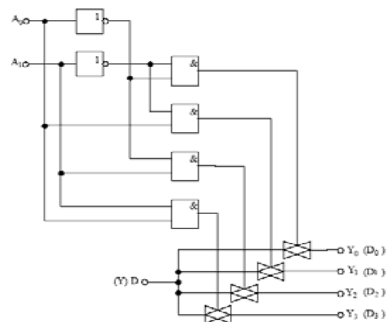
Течни кристали (LCD)



Мультиплексор /демультиплексор



Мультиплексор /демультиплексор



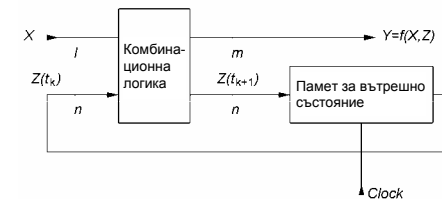
Логика

- Основни логически функции и закони
- Реализиране на логически елементи
- Комбинационна логика
- Превключваща логика

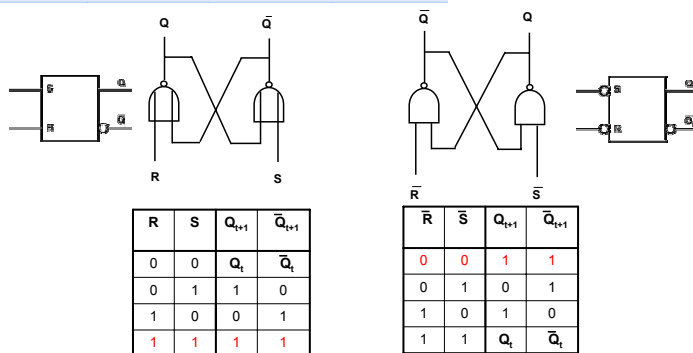
Превключваща логика

- Превключващата логика съдържа памет.
- Изходните променливи Y зависят от входните променливи X и от състоянието на системата Z .
- Състоянието се запомня побитово в тригери.
- Описанието става чрез таблици на истинност или с времедиаграми.
- Реализира се с тригери или програмируеми логически елементи (PLD).
- Примери: броячи, таймери, памет за данни.

Превключваща логика

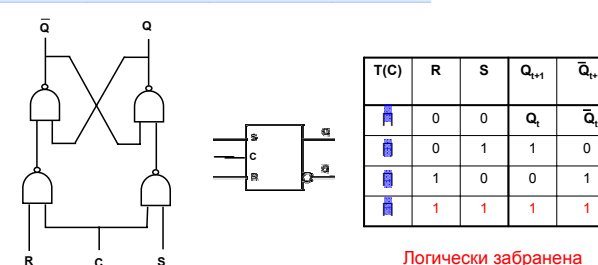


Тригери



Логически забранена

RS-тригер, управляван по ниво (T)



Логически забранена

49

Dalex \ Elektronik (EE2) SS

Развитие

T(C)	R	S	Q_{t+1}	\bar{Q}_{t+1}
0	1	1	1	0
1	0	0	0	1

D-тригер

T(C)	R	S	Q_{t+1}	\bar{Q}_{t+1}
0	1	1	1	0
1	0	0	0	1

T-тригер

50

Dalex \ Elektronik (EE2) SS

D-тригер, управляван по ниво (T)

Прозрачен D-тригер (D-Latch)

D	Clock	Q
0	0	Без промяна
0	1	0
1	0	Без промяна
1	1	1

51

Dalex \ Elektronik (EE2) SS

Т-тригери, управлявани по фронт

52

Dalex \ Elektronik (EE2) SS

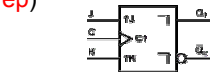
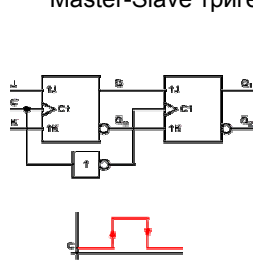
Тригери, управлявани по фронт

D-тригери (двустъпална структура)

Използват се при регистрите

Тригери, управлявани по два фронта

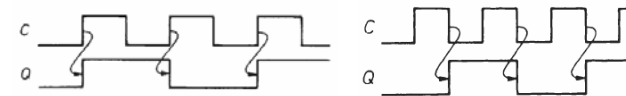
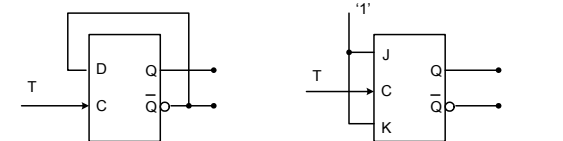
Master-Slave тригери (JK-тригер)



T(C)	K	J	Q_{t+1}	\bar{Q}_{t+1}
0	0	0	Q_t	\bar{Q}_t
0	1	1	1	0
1	0	0	0	1
1	1	1	\bar{Q}_t	Q_t

Използват се при броячите

T-тригери



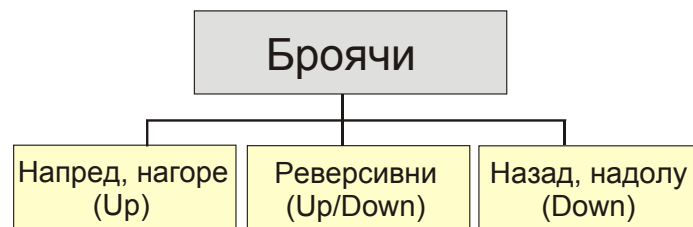
Броячи



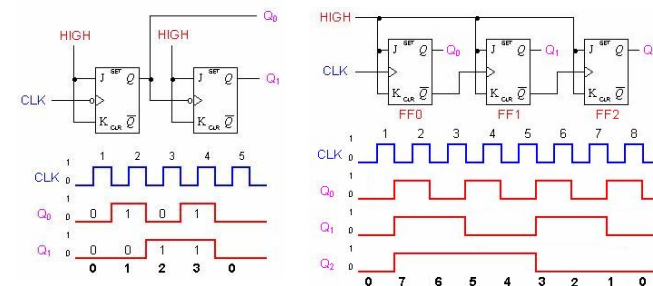
Броячи



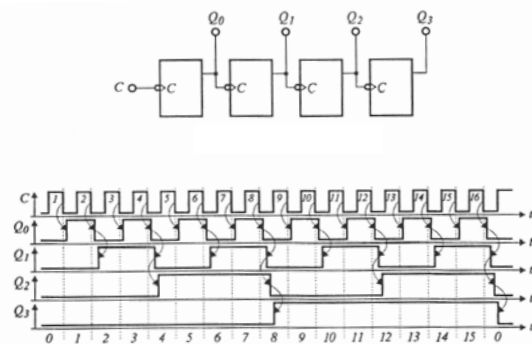
Броячи



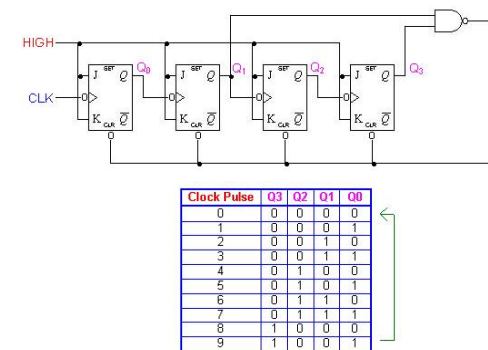
Асинхронни броячи (Binary)



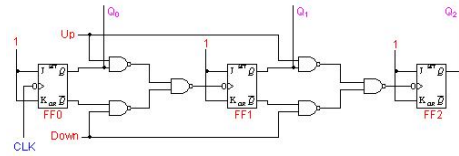
Асинхронни броячи (Binary)



Асинхронни броячи (BCD)



Асинхронни броячи

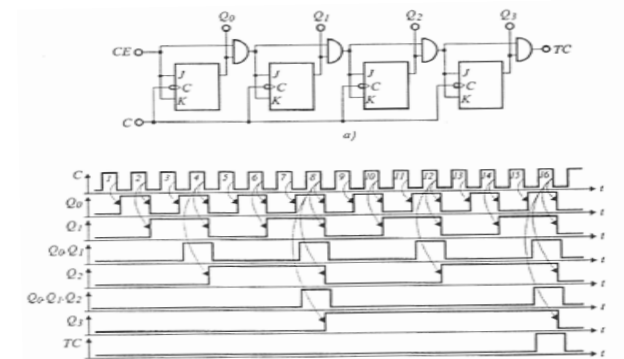


Реверсивен брояч

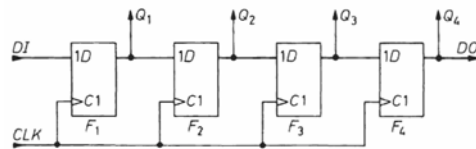
Up = 1, Down = 0 напред

Up = 0, Down = 1 назад

Синхронни броячи



Регистър



CLK	Q ₁	Q ₂	Q ₃	Q ₄
1	D ₁	—	—	—
2	D ₂	D ₁	—	—
3	D ₃	D ₂	D ₁	—
4	D ₄	D ₃	D ₂	D ₁
5	D ₅	D ₄	D ₃	D ₂
6	D ₆	D ₅	D ₄	D ₃
7	D ₇	D ₆	D ₅	D ₄

Регистър

